



KOREAN PATENT ABSTRACTS(KR)

Document Code:B1

(11) Publication No.1019950002190

(44) Publication Date. 19950314

(21) Application No.1019920004179

(22) Application Date. 19920313

(51) IPC Code:

H01C 21/76

(71) Applicant:

SAMSUNG ELECTRONICS CO.

(72) Inventor:

KIM, YOON-GI

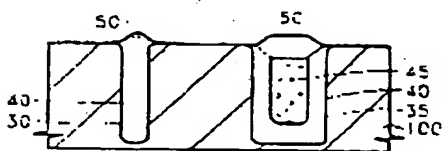
(30) Priority:

(54) Title of Invention

DEVICE ISOLATING METHOD FOR SEMICONDUCTOR DEVICE

Representative drawing

(57) Abstract:



The method includes the steps of sequentially forming an oxidation stopper film (2), a 1st insulating film (5) and a 2nd insulating films (10) on a substrate (100), selectively etching the films (5,10) to form a narrow opening part (20) of 0.5 micron and a wide opening part (25) of 0.9 micron, forming spacers (17) on the inner side walls of openings (20,25), etching the substrate (100) to form a narrow trench (30) and a wide trench (35), thermally oxidizing the inner sides of trenches to form a 1st thermal oxide film (4) to bury the inner

sides of trenches, partially filling the trenches with 1st material layer (15), and forming a 2nd thermal oxide film (50) on the layer (45), thereby preventing the bird s beaks and reducing the size of opening part to reduce the device size.

Copyright 1997 KIPO

[발명의 명칭]

반도체상치의 소자분리방법

[도면의 간단한 설명]

제3a도 내지 제3g도는 본 발명의 방법에 따른 반도체상치의 소자분리영역을 형성하는 공정을 도시한 공정순서도.

본 내용은 첨부공개 견본으로 진공 내용을 수록하지 않았음

(57) 요약

청구항 1

반도체기판상에 산화제시막, 제1절연막, 제2절연막을 순차적층시키는 공정; 상기 제1절연막 및 제2절연막을 선택적으로 식각하여 좁은 개구부와 넓은 개구부를 형성하는 공정; 상기 개구부의 내측벽에 스페이서를 형성하는 공정; 상기 스페이서를 마스크로 하여 반도체기판을 식각함으로써 좁은 트렌치와 넓은 트렌치를 형성하는 공정; 상기 넓은 트렌치내부를 열산화시켜 제1차 열산화막을 형성함으로써 상기 넓은 트렌치의 내부를 매립시키고, 동시에 넓은 트렌치의 내부를 일부 매립시키는 공정; 그 내부의 일부가 상기 제1차 열산화막으로 매립된 넓은 트렌치의 내부를 산화가 가능한 제1물질층으로 채우는 공정; 및 상기 제1물질층의 상부를 산화시켜 제2차 열산화막을 형성하는 공정을 구비하여 이루어지는 것을 특징으로 하는 반도체상치의 소자분리방법.

청구항 2

제1항에 있어서, 상기 좁은 개구부는 폭이 $0.5\mu\text{m}$, 상기 넓은 개구부는 $0.9\mu\text{m}$ 인 것을 특징으로 하는 반도체상치의 소자분리방법.

청구항 3

제1항 또는 제2항에 있어서, 상기 좁은 개구부의 내측벽에 형성된 스페이서간의 간격은 $0.3\mu\text{m}$, 상기 넓은 개구부의 내측벽에 형성된 스페이서간의 간격은 $0.6\mu\text{m}$ 인 것을 특징으로 하는 반도체상치의 소자분리방법.

청구항 4

제3항에 있어서, 상기 스페이서를 마스크로 하여 형성된 상기 좁은 트렌치와 넓은 트렌치 내부의 제1차 열산화막의 두께는 1000\AA 이상임을 특징으로 하는 반도체상치의 소자분리방법.

청구항 5

제4항에 있어서, 상기 넓은 트렌치 내부의 제2차 열산화막의 두께는 $1000\text{\AA} \sim 1500\text{\AA}$ 정도임을 특징으로 하는 반도체상치의 소자분리방법.

청구항 6

제5항에 있어서, 상기 좁은 트렌치를 매립하여 형성된 소자분리영역은 $0.35\mu\text{m}$, 상기 넓은 트렌치를 매립하여 형성된 소자분리영역은 $0.8\mu\text{m}$ 정도임을 특징으로 하는 반도체상치의 소자분리방법.

청구항 7

제6항에 있어서, 상기 소자분리영역은 64Mb 급 반도체메모리소자에 적용함을 특징으로 하는 반도체상치의 소자분리방법.

청구항 8

제1항에 있어서, 상기 좁은 개구부는 폭이 $0.4\mu\text{m}$, 상기 넓은 개구부는 $0.6\mu\text{m}$ 인 것을 특징으로 하는 반도체상치의 소자분리방법.

청구항 9

제1항 또는 제8항에 있어서, 상기 좁은 개구부의 내측벽에 형성된 스페이서간의 간격은 $0.1\mu\text{m}$, 상기 넓은 개구부의 내측벽에 형성된 스페이서간의 간격은 $0.4\mu\text{m}$ 인 것을 특징으로 하는 반도체상치의 소자분리방법.

청구항 10

제9항에 있어서, 상기 스페이서를 마스크로 하여 형성된 상기 좁은 트렌치와 넓은 트렌치 내부의 제1차 열산화막의 두께는 1000\AA 이상임을 특징으로 하는 반도체상치의 소자분리방법.

청구항 11

제10항에 있어서, 상기 넓은 트렌치를 매립하여 형성된 소자분리영역은 $0.25\mu\text{m}$, 상기 넓은 트렌치를 매립하여 형성된 소자분리영역은 $0.5\mu\text{m}$ 정도임을 특징으로 하는 반도체상치의 소자분리방법.

청구항 12

제11항에 있어서, 상기 소자분리영역은 256Mb 급 반도체 메모리소자에 적용함을 특징으로 하는 반도체상

치의 소자분리방법.

청구항 13

제1항에 있어서, 상기 산화시지막은 옥시나이트라이드실리콘을 240 Å 정도의 두께로 형성하여 이루어지는 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 14

제1항에 있어서, 상기 제1절연막은 실리콘나이트라이드를 1500 Å 정도의 두께로 형성하여 이루어진 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 15

제1항에 있어서, 상기 제2절연막은 HfO₂를 1000 Å 정도의 두께로 형성하여 이루어지는 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 16

제1항에 있어서, 상기 스페이서는 상기 개구부 형성후 결과를 전면에 실리콘나이트라이드를 2000 Å 상도의 두께로 형성하고, 이어서 상기 실리콘나이트라이드에 대한 이방성식각을 실시함으로써 형성되는 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 17

제1항 또는 제15항에 있어서, 상기 제2절연막은 상기 트렌치 형성 공정후 제거됨을 특징으로 하는 반도체장치의 소자분리방법.

청구항 18

제1항에 있어서, 상기 제1물질층은 나결정실리콘인 것을 특징으로 하는 반도체장치의 소자분리방법.

* 청구항 : 최초출원 내용에 의하여 공개하는 것임.

CF

